


2024년도 대한전자공학회
하계종합학술대회 신진연구자 발표정보

■ 발표자 정보

성명	우성윤	사진	
소속(학교)	경북대학교		
부서(학과)	전자공학부		
직위	조교수		
발표분야	반도체		
약력	<p>* 학력, 경력, 연구실적, 주요연구 및 관심분야를 기술해주세요.</p> <p>학력</p> <ul style="list-style-type: none">- 2014.03 - 2021.02 - 서울대학교 전기정보공학부 박사 (석박사 통합)- 2009.03 - 2014.02 - 경북대학교 전자공학부 학사 <p>주요경력</p> <ul style="list-style-type: none">- 2023.03. - 현재 경북대학교 IT대학 전자공학부, 조교수- 2021.03 - 2023. 02. 삼성전자 메모리사업부, DRAM PA, Staff Engineer <p>주요 연구 및 관심 분야</p> <p>반도체 집적회로 공정, 메모리 및 구동 회로 (PIM), Steep switching 소자, 상용 메모리 (DRAM, FLASH memory)</p>		

■ 초청강연 정보

제 목	Analysis of Row Hammer and Passing Gate Effect in DRAM Cells by BCAT Structural Design
Abstract	<p>In this paper, we investigate the impact of structural parameters such as gate angles, fin height through the control of gate overlaps and the distance from fin to source/drain on the row hammer effect (RHE) and passing gate effect (PGE) of DRAM cells. In a DRAM cell, the larger the angle of the gate profile and the lower the overlap height between the fin and gate of the cell transistor, the lower the RHE and PGE. Thus, the influence of adjacent and passing gates on the DRAM cell body potential is a key factor in RHE and PGE, and through optimization, the performance and reliability of DRAM technology can be improved.</p>